

# PATENT ABSTRACTS OF JAPAN

(11) Publication number : 06-301647

(43) Date of publication of application : 28.10.1994

(51)Int.Cl. G06F 15/02  
G06F 1/26  
G06F 1/04

(21) Application number : 05-086087

(71)Applicant : TOSHIBA CORP

(22) Date of filing : 13.04.1993

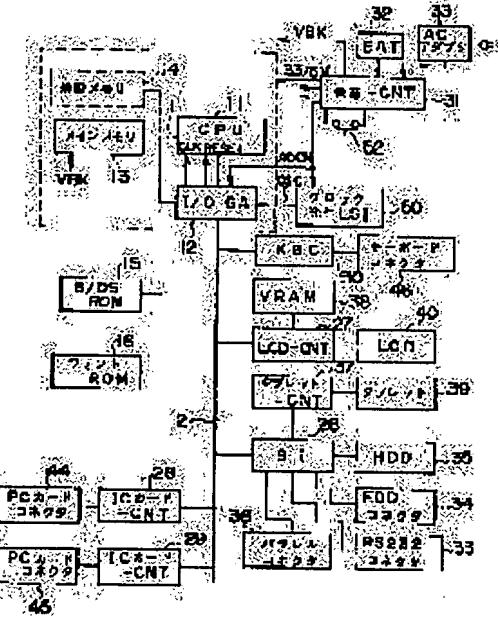
(72)Inventor : TANAKA KAZUTOYO

## (54) PORTABLE COMPUTER

**(57)Abstract:**

**PURPOSE:** To reduce power consumption at the time of battery driving and to prolong the battery usable time of a portable computer.

**CONSTITUTION:** Whether an AC adaptor 33 is connected to the portable computer or not is detected by a power supply controller 31, and when the adaptor 33 is connected, the operation power supply voltage of a CPU 11 and clock frequency are respectively set up to 5V and 33MHz. When the adaptor 33 is not connected, the operation power supply voltage and the clock frequency are respectively set up to 3.3V and 25MHz. Thus the operation power supply voltage and clock frequency of the CPU 11 at the time of battery driving are respectively set up to values less than that for AC power supply driving. Thereby power consumption for battery driving can be reduced and the battery using time can be extended to a sufficiently long time.



## LEGAL STATUS

[Date of request for examination] 14.01.2000

[Date of sending the examiner's decision of rejection] 22.06.2004

[Kind of final disposal of application other than  
the examiner's decision of rejection or  
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 2004-015186

[Date of requesting appeal against examiner's decision of rejection] 22.07.2004

[Date of extinction of right]

**\* NOTICES \***

**JPO and INPIT are not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

**[Claim(s)]**

[Claim 1] In the portable computer which can be driven according to the secondary power source supplied from the primary source or built-in dc-battery supplied from the outside A power-source detection means to detect by which of said primary source and said secondary power source said portable computer is driving, The power circuit which carries out an adjustable setup of the value of the supply voltage of operation supplied to said CPU according to the detection result of this power-source detection means, According to the detection result of said power-source detection means, the clock generation circuit which carries out an adjustable setup of the frequency of the clock signal supplied to said CPU is provided. The portable computer characterized by being constituted so that the supply voltage of operation and the clock frequency of CPU may fall rather than the time of a primary source drive at the time of secondary power-source drives.

---

[Translation done.]

**\* NOTICES \***

**JPO and INPIT are not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

**[Detailed Description of the Invention]****[0001]**

**[Industrial Application]** This invention relates to the portable computer which can be driven according to the secondary power source supplied from the primary source or built-in dc-battery supplied from the outside especially through an AC adapter etc. about a portable computer.

**[0002]**

**[Description of the Prior Art]** It is constituted so that it can generally drive in portable computers, such as a laptop type or a note block type, not only according to the primary source supplied from the outside through an AC adapter etc. but according to the secondary power source supplied from a built-in dc-battery.

**[0003]** In this kind of portable computer, in order to extend a dc-battery time, various kinds of power saving modes are prepared. As power saving mode, the sleep function is known well.

**[0004]** Fixed time amount, the key input from a keyboard of this sleep function is the function to stop the drive motor in a hard disk, when a CPU clock is not suspended when there is nothing, and access to a hard disk is not performed predetermined time.

**[0005]** However, since I/O access answers generating of the CPU idle of not generating beyond fixed time amount and is performed, such a conventional sleep function is good when long duration generating of the CPU idle is carried out, but when a CPU idle's time amount is comparatively short, the effectiveness of power saving can hardly be expected. Thus, in the former, as long as long duration generating was carried out and there was no CPU idle, it was difficult to extend a dc-battery time.

**[0006]**

**[Problem(s) to be Solved by the Invention]** In the conventional portable computer, as long as long duration generating was carried out and there was no CPU idle, it was difficult to extend a dc-battery time. Even when a CPU idle's time amount is comparatively short, as this invention was made in view of such a point, and it can reduce the power consumption at the time of a dc-battery drive, it aims at offering the portable computer which can fully extend a dc-battery time.

**[0007]**

**[Means for Solving the Problem and its Function]** In the portable computer which can drive this invention according to the secondary power source supplied from the primary source or built-in dc-battery supplied from the outside A power-source detection means to detect by which of said primary source and said secondary power source said portable computer is driving, The power circuit which carries out an adjustable setup of the value of the supply voltage of operation supplied to said CPU according to the detection result of this power-source detection means, According to the detection result of said power-source detection means, the clock generation circuit which carries out an adjustable setup of the frequency of the clock signal supplied to said CPU is provided. At the time of secondary power-source drives, it is characterized by being constituted so that the supply voltage of operation and the clock frequency of CPU may fall rather than the time of a primary source drive.

**[0008]** In this portable computer, it is detected by the power-source detection means whether it is

driving according to the primary source supplied, for example through an AC adapter etc. or it is driving according to the secondary power source from a built-in dc-battery, and that detection result is supplied to a power circuit and a clock generation circuit. While the porter pull computer is driving the power circuit according to the primary source, a metaphor supplies the supply voltage of 5V to CPU, and while driving according to the secondary power source, the supply voltage of 3.3V is supplied to CPU. While the porter pull computer is driving the clock generation circuit according to the primary source, a metaphor supplies a 33MHz clock signal to CPU, and while driving according to the secondary power source, a 25MHz clock signal is supplied to CPU.

[0009] Thus, at the time of a dc-battery drive, the supply voltage of operation and the clock frequency of CPU fall rather than the time of a primary source drive. Therefore, regardless of a CPU idle's time amount, the power consumption at the time of a dc-battery drive can be reduced now, and it becomes possible to fully extend a dc-battery time.

[0010]

[Example] Hereafter, one example of this invention is explained with reference to a drawing. The system configuration of the portable computer concerning one example of this invention is shown in drawing 1. This portable computer operates according to the secondary power source by the built-in dc-battery 32, when the primary source which is the personal computer of the pen input mold which has a liquid crystal display panel and the transparency tablet prepared in one at this, and is supplied through AC adapter 33, or AC adapter 33 is not connected.

[0011] This system is equipped with CPU11, the I/O gate array (I/O GA) 12, main memory 13, and an add in memory 14. Main memory 13 and an add in memory 14 are connected to the memory bus 1.

[0012] Moreover, BIOS-ROM15, a font ROM 16, the super integration circuit (SI) 26, the liquid crystal controller (LCD-CNT) 27, the 1st, the 2nd IC card controller (IC-CNT) 28 and 29, and the keyboard controller (KBC) 30 are formed in this system, and these are connected to the system bus 2 of an ISA (International Standard Association) specification.

[0013] CPU11 can operate with the supply voltage of 3.3V-5V, and operates normally with a clock signal (25MHz thru/or 33MHz). Furthermore, CPU11 has the hardware using a SUTATIKU circuit, and even if a clock is suspended, it is constituted so that the status at that time can be held.

[0014] The I/O gate array 12 is the exclusive logic for realizing the support function of CPU11 and memory, begins the input/output control between the main memory 13 and the expanded RAM 14 which were connected to the memory bus 1, and CPU11, and performs input/output control between the various units and CPUs11 which were connected to the system bus 2.

[0015] Moreover, the unit for realizing a function required for system control to this I/O gate array 12, That is, the DMA controller for direct memory access controller control, an interruption controller (PIC;Programmable Interrupt Controller), A timer (PIT;Programmable Interval Timer ), The serial I/O controller (SIO;Serial Input/Output Controller) and the real time clock (RTC;Real Time Clock) are built in.

[0016] The communication link between CPU11 and the I/O gate array 12 is performed through the interface line of dedication. The CPU clock signal CLK etc. is included in the interface signal between CPU11 and the I/O gate array 12.

[0017] As a CPU clock signal CLK, clock signal OSC (25MHz or 33MHz) outputted from clock generation LSI50 is used. At the time of the change of this clock frequency, it suspends the clock supply to CPU11 until the clock frequency of clock signal OSC is stabilized by the I/O gate array 12. When the clock frequency of clock signal OSC is stabilized, the I/O gate array 12 generates the CPU clock signal CLK, and restarts CPU11.

[0018] Here, the change of a clock signal is performed by answering the desorption of AC adapter 33 to the body of a system. That is, when it is detected by the power-source controller 31 whether AC adapter 33 is connected to the body of a system and AC adapter 33 is connected, clock generation LSI50 generates 33MHz clock signal OSC, and when AC adapter 33 is not connected, clock generation LSI50 generates 25MHz clock signal OSC.

[0019] Main memory 13 has the memory capacity of 4 M bytes as standard, and the user data created by

the operating system, the application program of a processing object, and the application program are stored here. The operating system contains the I/O system which supports a pen input.

[0020] An add in memory 14 is a memory card by which option connection is made at the exclusive card slot of 88 pins prepared in the computer system body. This extension memory card 14 is a DRAM card of dedication, and has classes, such as 2 M bytes, 4 M bytes, 8 M bytes, and 16 etc. M bytes.

[0021] CPU11, the I/O gate array 12, main memory 13, and an add in memory 14 consist of 3.3V/5V possible [ actuation ], respectively, and when AC adapter 33 is connected to the body of a system, the supply voltage of the power-source controllers 31-5V is supplied, and when AC adapter 33 is not connected, the supply voltage of the power-source controllers 31-3.3V is supplied to these.

[0022] BIOS-ROM15 is for memorizing BIOS (Basic I/O System), and it is constituted by the flash memory so that program rewriting may be possible. The various programs for controlling various hardware devices according to an IRT routine for memory and various hardware devices testing and initializing and the demand from an operating system to a power up etc. are included in this BIOS.

[0023] While the super integration (SI) 26 performs communications control by serial data between the RS232C connectors 33, it connects with the floppy disk connector (FDD connector) 34, a hard disk drive (HDD) 35, a parallel connector 36, and the tablet controller 37, and it performs communications control by parallel data between each.

[0024] The power-source controller (PSC) 31 is for controlling the current supply to each unit according to the directions from CPU11, and if ON of electric power switches 52 is carried out, it will be changed and outputted to the supply voltage of a request of the secondary power source supplied from the primary source or the built-in dc-battery 32 supplied from the outside through AC adapter 33.

[0025] The value of the supply voltage supplied to CPU11, the I/O gate array 12, main memory 13, and an add in memory 14 changes to 3.3V/5V according to the existence of connection of AC adapter 33.

[0026] Furthermore, a system generates a backup power supply BK also in the condition of power-off, and the power-source controller (PSC) 31 supplies it to main memory 13 and an image memory (VRAM) 38.

[0027] The tablet controller 37 detects the coordinate point of being inputted by the stylus pen through the transparency tablet 39, and sends it out to the I/O gate array 12 through the super integration 26 and a system bus 2.

[0028] The liquid crystal controller 27 performs the display control of the liquid crystal display panel 40, develops the indicative data sent from CPU11 through a system bus 2 to an image memory (VRAM) 38, and displays it on the liquid crystal display panel 40. The liquid crystal display panel 40 is the thing of the transparency mold which consists of 640 dots long and 480 dots wide dot matrices, and the back light using a fluorescent indicator tube is arranged at the tooth-back side.

[0029] The IC card controllers 28 and 29 perform read/write control of the PCMCIA (Personal Computer Memory Card International Association) cards 44 and 45 of 68 pins. The keyboard controller 30 performs key input control of a keyboard by which option connection is made through a keyboard 46.

[0030] Clock generation LSI50 is constituted by the PLL circuit containing VCO, when detecting-signal AC-ON is "0", it generates a 25MHz clock signal, and when detecting-signal AC-ON is "1", it generates a 33MHz clock signal.

[0031] The concrete circuitry of the power-source controller 31 is shown in drawing 2. The power-source controller 31 consists of a power-source microcomputer 51 and a power circuit 53. The power-source microcomputer 51 performs charge control of a dc-battery 32 according to the detecting signal from the current detector 66 while it is equipped with the interior [ RAM / ROM and / 55 ] 54, a control unit 56, parallel I/O57, the I/O driver 58, the A/D-conversion circuit 67, and serial I/O68 and performs power-source management according to the program of the interior ROM 54. The charge unit 62, a switching circuit 63, and DC-DC converters 64 and 65 are formed in the power circuit 53.

[0032] A switching circuit 63 is for responding to ON / off actuation of an electric power switch 52, and permitting / forbidding supply of supply voltage (3.3 [ 5V, 12V, and ]/5V), embraces the control signal (a) sent through parallel I/O57 and the I/O driver 58, and connects or intercepts between AC adapter 33 and a dc-battery 32, and DC-DC converters 64.

[0033] By receiving the primary source supplied through AC adapter 33, or the secondary power source from a dc-battery 32, DC-DC converter 64 generates the electrical potential difference of 3.3 [ 5V, 12V, and ]/5V as a power source for actuation of each circuit in equipment, and supplies it to each circuit.

[0034] The charge unit 62 charges the dc-battery unit 32 using the primary source supplied through AC adapter 33. By receiving the secondary power source from a dc-battery 32, DC-DC converter 65 generates the backup electrical potential difference VBK, and backup supplies it to each required circuit.

[0035] In this power-source controller 31, connection of AC adapter 33 detects connection/connectionless one of AC adapter 33 with a control unit 56 by sending the primary source from AC adapter 33 to a control unit 56 through A/D converter 67. When AC adapter 33 is connected, detecting-signal AC-ON of "1" level is outputted from the I/O driver 58, and when AC adapter 33 is not connected, detecting-signal AC-ON of "0" level is outputted from the I/O driver 58.

[0036] Detecting-signal AC-ON is sent to DC-DC converter 64 while it is sent to the I/O gate array 12. DC-DC converter 64 generates the supply voltage of 5V on the power-source line of 3.3/5V, when detecting-signal AC-ON of "1" level is received, and when detecting-signal AC-ON of "0" level is received, it generates the supply voltage of 3.3V on the power-source line of 3.3/5V.

[0037] The configuration of the clock control circuit established in the I/O gate array 12 is shown in drawing 3. The clock control circuit consists of the AND gate 121, D flip-flop 122, and a counter 123 like illustration. It is reversed and clock signal OSC outputted from clock generation LSI50 is supplied to the clocked into (C) of D flip-flop 122, and the clocked into (CLK) of a counter 123 while it is supplied to the 1st input of the AND gate 121.

[0038] Detecting-signal AC-ON from the power-source controller 31 is supplied to the data input (D) of D flip-flop 122, and the count initiation input (COUNT) of a counter 123.

[0039] If detecting-signal AC-ON starts on "1" level, a counter 123 will reset D flip-flop 122 with a signal (END), when the pulse of clock signal OSC inputted into clocked into (CLK) is counted and counted value reaches a predetermined value at first.

[0040] If detecting-signal AC-ON starts on "1" level, D flip-flop 122 will latch "1" in the fall of the following clock signal OSC, and will generate mask signal MASK of "1" level. This mask signal MASK is for stopping supply of the CPU clock CLK, is judged and is supplied to the 2nd input of the AND gate 121.

[0041] Next, with reference to the timing chart of drawing 4, change actuation of the CPU clock CLK and supply voltage 3.3V/5V is explained. In the condition that AC adapter 33 is not connected, the supply voltage of 3.3V is supplied to CPU11, and the frequency of the CPU clock CLK is 25MHz.

[0042] If AC adapter 33 is connected in this condition, detecting-signal AC-ON outputted from the power-source controller 31 will change from "0" to "1" level. Clock signal OSC which the supply voltage supplied to CPU11 changes to 5V from 3.3V, and is generated from clock generation LSI by this changes gradually from 25MHz to 33MHz.

[0043] Moreover, change on "0" to "1" level of detecting-signal AC-ON is answered, mask signal MASK is set to "1", and supply of the CPU clock CLK is suspended at a period until having carried out fixed time amount (1ms - 10ms) progress with the counter 123 is detected.

[0044] If fixed time amount progress is carried out and clock signal OSC is stabilized in 33MHz, mask signal MASK will be set to "0", supply of the CPU clock CLK will be resumed, and actuation of CPU11 will be resumed. And CPU11 operates under the supply voltage of 5V, and a 33MHz clock signal henceforth.

[0045] In this condition, if AC adapter 33 is removed from the body of a computer, similarly, the supply voltage of CPU11 of operation will be changed from 5V to 3.3V, and a clock frequency will be changed from 33MHz to 25MHz, respectively.

[0046] As mentioned above, in this example, it is detected by the power-source controller 31 whether it is driving according to the primary source to which a portable computer is supplied through AC adapter 33, or it is driving according to the secondary power source from the built-in dc-battery 32, and that detection result is supplied to DC-DC converter 64 and clock generation LSI50. DC-DC converter

64 supplies the supply voltage of 5V to CPU11, while the porter pull computer is driving according to the primary source, and while driving according to the secondary power source, it supplies the supply voltage of 3.3V to CPU11. While the porter pull computer is driving according to the primary source, a metaphor supplies a 33MHz clock signal to CPU11, and clock generation LSI50 supplies a 25MHz clock signal to CPU11, while driving according to the secondary power source.

[0047] Thus, at the time of a dc-battery drive, the supply voltage of operation and the clock frequency of CPU11 fall rather than the time of an AC power drive. Therefore, regardless of a CPU idle's time amount, the power consumption at the time of a dc-battery drive can be reduced now, and it becomes possible to fully extend a dc-battery time.

[0048] In addition, although this example explained taking the case of the case where it is not destroyed even if the status of CPU11 suspends a clock, if the register of CPU11 is saved to main memory 13 before changing a clock, and the contents of main memory 13 are restored to CPU11 after a clock change, it is applicable similarly about CPU of other configurations.

[0049]

[Effect of the Invention] As explained above, according to this invention, even when a CPU idle's time amount is comparatively short, the power consumption at the time of a dc-battery drive can be reduced, and it becomes possible to fully extend the dc-battery time of a BAPOTA bull computer.

---

[Translation done.]

[JAPANESE] [JP,06-301647,A]

---

CLAIMS DETAILED DESCRIPTION TECHNICAL FIELD PRIOR ART EFFECT OF THE  
INVENTION TECHNICAL PROBLEM OPERATION EXAMPLE DESCRIPTION OF DRAWINGS  
DRAWINGS

---

[Translation done.]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-301647

(43)公開日 平成6年(1994)10月28日

(51)Int.Cl.<sup>5</sup> 識別記号 廣内整理番号  
G 0 6 F 15/02 3 0 5 G 7343-5L  
1/26  
1/04 3 0 1 C 7165-5B  
7165-5B

F I

審査請求 未請求 請求項の数 1 OL (全 7 頁)

(21)出願番号 特願平5-86087

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(22)出願日 平成5年(1993)4月13日

(72) 発明者 田中 和豊

東京都青梅市末広町2丁目9番地 株式会社

### 社東芝青梅工場内

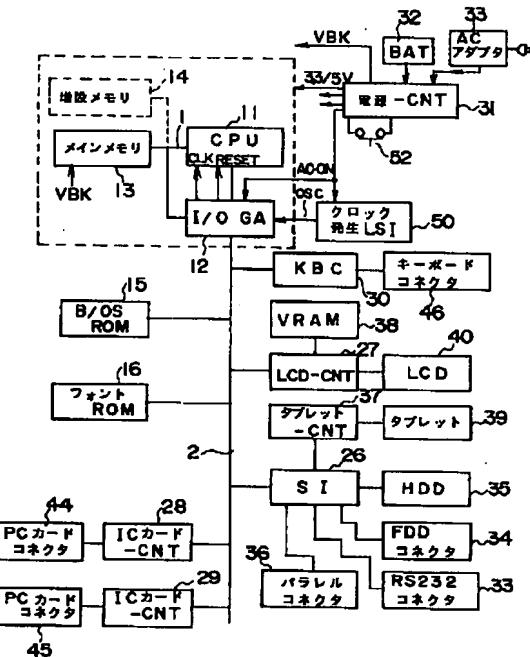
(74)代理人 弁理士 銀江 武彦

(54)【発明の名称】 ポータブルコンピュータ

(57) 【要約】

【目的】バッテリ駆動時の電力消費を低減し、ポータブルコンピュータのバッテリ使用可能時間の延長を図る。

【構成】ACアダプタ33がポータブルコンピュータに接続されているか否かが電源コントローラ31によって検出され、接続されている場合にはCPU11の動作電源電圧は5V、クロック周波数は33MHzに設定され、接続されていない場合にはCPU11の動作電源電圧は3.3V、クロック周波数は25MHzに設定される。このように、バッテリ駆動時にはCPU11の動作電源電圧およびクロック周波数は、AC電源駆動時よりも低下される。したがって、バッテリ駆動時の電力消費を低減できるようになり、バッテリ使用時間を十分に延ばすことが可能になる。



## 【特許請求の範囲】

【請求項1】外部から供給される1次電源または内蔵バッテリから供給される2次電源によって駆動可能なポータブルコンピュータにおいて、

前記ポータブルコンピュータが前記1次電源と前記2次電源のどちらによって駆動されているかを検出する電源検出手段と、

この電源検出手段の検出結果に応じて、前記CPUに供給される動作電源電圧の値を可変設定する電源回路と、前記電源検出手段の検出結果に応じて、前記CPUに供給されるクロック信号の周波数を可変設定するクロック発生回路とを具備し、

2次電源駆動時にはCPUの動作電源電圧およびクロック周波数が1次電源駆動時よりも低下されるように構成されていることを特徴とするポータブルコンピュータ。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】この発明はポータブルコンピュータに関し、特にACアダプタ等を介して外部から供給される1次電源または内蔵バッテリから供給される2次電源によって駆動可能なポータブルコンピュータに関する。

## 【0002】

【従来の技術】一般に、ラップトップタイプまたはノートブロックタイプ等のポータブルコンピュータにおいては、ACアダプタ等を介して外部から供給される1次電源だけでなく、内蔵バッテリから供給される2次電源によっても駆動できるように構成されている。

【0003】この種のポータブルコンピュータにおいては、バッテリ使用時間を延ばすために各種の電力節約モードが用意されている。電力節約モードとしては、スリープ機能が良く知られている。

【0004】このスリープ機能は、キーボードからのキー入力が一定時間ない場合にCPUクロックを停止したり、またハードディスクへのアクセスが所定時間行なわれなかった場合にハードディスク内の駆動モータを停止させるといった機能である。

【0005】しかしながら、このような従来のスリープ機能は、I/Oアクセスが一定時間以上発生しないというCPUアイドルの発生に応答して実行されるものであるので、CPUアイドルが長時間発生されるような場合には良いが、CPUアイドルの時間が比較的短い場合には電力節約の効果はほとんど期待できない。このように、従来では、CPUアイドルが長時間発生され無い限り、バッテリ使用時間を延ばすことは困難であった。

## 【0006】

【発明が解決しようとする課題】従来のポータブルコンピュータにおいては、CPUアイドルが長時間発生され無い限り、バッテリ使用時間を延ばすことは困難であった。この発明はこのような点に鑑みてなされたもので、

CPUアイドルの時間が比較的短い場合でもバッテリ駆動時の電力消費を低減できるようにして、バッテリ使用時間を十分に延ばすことができるポータブルコンピュータを提供することを目的とする。

## 【0007】

【課題を解決するための手段および作用】この発明は、外部から供給される1次電源または内蔵バッテリから供給される2次電源によって駆動可能なポータブルコンピュータにおいて、前記ポータブルコンピュータが前記1次電源と前記2次電源のどちらによって駆動されているかを検出する電源検出手段と、この電源検出手段の検出結果に応じて、前記CPUに供給される動作電源電圧の値を可変設定する電源回路と、前記電源検出手段の検出結果に応じて、前記CPUに供給されるクロック信号の周波数を可変設定するクロック発生回路とを具備し、2次電源駆動時にはCPUの動作電源電圧およびクロック周波数が1次電源駆動時よりも低下されるように構成されていることを特徴とする。

【0008】このポータブルコンピュータにおいては、例えばACアダプタ等を介して供給される1次電源によって駆動されているか内蔵バッテリからの2次電源によって駆動されているかが電源検出手段によって検出され、その検出結果は電源回路およびクロック発生回路に供給される。電源回路は、ポータブルコンピュータが1次電源によって駆動されている時は例えは5Vの電源電圧をCPUに供給し、2次電源によって駆動されている時は3.3Vの電源電圧をCPUに供給する。クロック発生回路は、ポータブルコンピュータが1次電源によって駆動されている時は例えは3.3MHzのクロック信号をCPUに供給し、2次電源によって駆動されている時は2.5MHzのクロック信号をCPUに供給する。

【0009】このように、バッテリ駆動時にはCPUの動作電源電圧およびクロック周波数が、1次電源駆動時よりも低下される。したがって、CPUアイドルの時間に関係なくバッテリ駆動時の電力消費を低減できるようになり、バッテリ使用時間を十分に延ばすことが可能になる。

## 【0010】

【実施例】以下、図面を参照してこの発明の一実施例を説明する。図1には、この発明の一実施例に係わるポータブルコンピュータのシステム構成が示されている。このポータブルコンピュータは、液晶表示パネルとこれに一体に設けられた透明タブレットとを有するペン入力型のパーソナルコンピュータであり、ACアダプタ33を介して供給される1次電源、またはACアダプタ33が接続されてない時には内蔵バッテリ32による2次電源によって動作する。

【0011】このシステムは、CPU11、入出力ゲートアレイ(I/O GA)12、メインメモリ13、増設メモリ14を備えている。メインメモリ13および増

設メモリ14は、メモリバス1に接続されている。  
【0012】また、このシステムには、BIOS-ROM15、フォントROM16、スーパーインテグレーション回路(SI)26、液晶コントローラ(LCD-CONT)27、第1、第2のICカードコントローラ(ICC-CNT)28、29、キーボードコントローラ(KBC)30が設けられており、これらはISA(International Standard Association)仕様のシステムバス2に接続されている。

【0013】CPU11は、3.3V～5Vの電源電圧で動作可能であり、また25MHz乃至33MHzのクロック信号によって正常に動作する。さらに、CPU11は、スタティック回路を利用したハードウェアを有しており、クロックが停止されてもその時のステータスを保持できるように構成されている。

【0014】I/Oゲートアレイ12は、CPU11およびメモリのサポート機能を実現するための専用ロジックであり、メモリバス1に接続されたメインメモリ13、増設RAM14と、CPU11との間の入出力制御を始め、システムバス2に接続された各種ユニットとCPU11との間の入出力制御を行なう。

【0015】また、このI/Oゲートアレイ12には、システム制御に必要な機能を実現するためのユニット、つまり、直接メモリアクセス制御のためのDMAコントローラ、割り込みコントローラ(PIC; Programmable Interrupt Controller)、タイマ(PIT; Programmable Interval Timer)、シリアルI/Oコントローラ(SIO; Serial Input/Output Controller)、リアルタイムクロック(RTC; Real Time Clock)が内蔵されている。

【0016】CPU11およびI/Oゲートアレイ12間の通信は、専用のインターフェース線を介して実行される。CPU11とI/Oゲートアレイ12間のインターフェース信号には、例えば、CPUクロック信号CLK等が含まれている。

【0017】CPUクロック信号CLKとしては、クロック発生LSI50から出力される25MHzまたは33MHzのクロック信号OSCが利用される。このクロック周波数の切り替え時には、I/Oゲートアレイ12は、クロック信号OSCのクロック周波数が安定するまでCPU11へのクロック供給を停止する。クロック信号OSCのクロック周波数が安定した時、I/Oゲートアレイ12は、CPUクロック信号CLKを発生して、CPU11をリストアートさせる。

【0018】ここで、クロック信号の切り替えは、システム本体へのACアダプタ33の脱着に応答して行われる。すなわち、システム本体にACアダプタ33が接続されているか否かは電源コントローラ31によって検出され、ACアダプタ33が接続された時にはクロック発生LSI50は33MHzのクロック信号OSCを発生

し、ACアダプタ33が接続されてない時にはクロック発生LSI50は25MHzのクロック信号OSCを発生する。

【0019】メインメモリ13は、例えば、標準で4Mバイトの記憶容量を有しており、ここには、オペレーティングシステム、処理対象のアプリケーションプログラム、およびアプリケーションプログラムによって作成されたユーザデータ等が格納される。オペレーティングシステムは、ペン入力をサポートするI/Oシステムを含んでいる。

【0020】増設メモリ14は、コンピュータシステム本体に設けられた88ピンの専用カードスロットにオプション接続されるメモリカードである。この増設メモリカード14は、専用のDRAMカードであり、2Mバイト、4Mバイト、8Mバイト、16Mバイト等の種類がある。

【0021】CPU11、I/Oゲートアレイ12、メインメモリ13、増設メモリ14は、それぞれ3.3V/5Vで動作可能に構成されており、これらには、システム本体にACアダプタ33が接続されている時には電源コントローラ31から5Vの電源電圧が供給され、ACアダプタ33が接続されてない時には電源コントローラ31から3.3Vの電源電圧が供給される。

【0022】BIOS-ROM15は、BIOS(Basic I/O System)を記憶するためのものであり、プログラム書き替えが可能なようにフラッシュメモリによって構成されている。このBIOSには、電源投入時にメモリや各種ハードウェアデバイスのテストおよび初期設定するためのIRTルーチンと、オペレーティングシステムからの要求にしたがって各種ハードウェアデバイスを制御するための各種プログラム等が含まれている。

【0023】スーパーインテグレーション(SI)26は、RS232Cコネクタ33との間でシリアルデータによる通信制御を行なう一方、フロッピーディスクドライブ(FDDコネクタ)34、ハードディスクドライブ(HDD)35、パラレルコネクタ36、及びタブレットコントローラ37と接続され、それぞれとの間でパラレルデータによる通信制御を行なう。

【0024】電源コントローラ(PSC)31は、CPU11からの指示に応じて各ユニットへの電源供給を制御するためのものであり、電源スイッチ52がONされると、ACアダプタ33を介して外部から供給される1次電源または内蔵バッテリ32から供給される2次電源を所望の電源電圧に変換して出力する。

【0025】CPU11、I/Oゲートアレイ12、メインメモリ13、および増設メモリ14に供給される電源電圧の値は、ACアダプタ33の接続の有無に応じて3.3V/5Vに変化される。

【0026】さらに、電源コントローラ(PSC)31

は、システムがパワーオフの状態においてもバックアップ電源BKを発生し、それをメインメモリ13、画像メモリ(VRAM)38に供給する。

【0027】タブレットコントローラ37は、透明タブレット39を介してスタイルスペンによって入力される座標点を検出し、それをスーパーインテグレーション26、システムバス2を介してI/Oゲートアレイ12へ送出する。

【0028】液晶コントローラ27は、液晶表示パネル40の表示制御を行なうものであり、システムバス2を介してCPU11から送られてくる表示データを画像メモリ(VRAM)38に展開し、それを液晶表示パネル40に表示する。液晶表示パネル40は、例えば縦640ドット×横480ドットのドットマトリックスで構成される透過型のものであり、蛍光表示管を用いたバックライトがその背面側に配置されている。

【0029】ICカードコントローラ28、29は、68ピンのPCMCIA(Personal Computer Memory Card International Association)カード44、45のリード／ライト制御を行なう。キーボードコントローラ30は、キーボード46を介してオプション接続されるキーボードのキー入力制御を行なう。

【0030】クロック発生LSI50は、例えばVCOを含むPLL回路によって構成されており、検出信号AC-ONが“0”的時は25MHzのクロック信号を発生し、検出信号AC-ONが“1”的時は3.3MHzのクロック信号を発生する。

【0031】図2には、電源コントローラ31の具体的な回路構成が示されている。電源コントローラ31は、電源マイコン51と電源回路53から構成されている。電源マイコン51は、内部ROM54、内部RAM55、制御ユニット56、パラレルI/O57、I/Oドライバ58、A/D変換回路67及びシリアルI/O68を備えており、内部ROM54のプログラムにしたがって電源管理を行うと共に、電流検出器66からの検出信号に応じてバッテリ32の充電制御を行う。電源回路53には、チャージユニット62、スイッチ回路63、DC-DCコンバータ64、65が設けられている。

【0032】スイッチ回路63は、電源スイッチ52のオン／オフ操作に応じて電源電圧(5V、1.2V、3.3/5V)の供給を許可／禁止するためのものであり、パラレルI/O57およびI/Oドライバ58を介して送られてくる制御信号(a)に応じて、ACアダプタ33およびバッテリ32とDC-DCコンバータ64との間を接続または遮断する。

【0033】DC-DCコンバータ64は、ACアダプタ33を介して供給される1次電源またはバッテリ32からの2次電源を受けることにより、装置内の各回路の動作用電源として例えば5V、1.2V、3.3/5Vの電圧を生成し、各回路に供給する。

【0034】チャージユニット62は、ACアダプタ33を介して供給される1次電源を利用してバッテリユニット32を充電する。DC-DCコンバータ65は、バッテリ32からの2次電源を受けることによりバックアップ電圧V BKを生成し、バックアップが必要な各回路に供給する。

【0035】この電源コントローラ31においては、ACアダプタ33が接続されると、ACアダプタ33からの1次電源がA/Dコンバータ67を介して制御ユニット56に送られることにより、制御ユニット56によってACアダプタ33の接続／非接続が検出される。ACアダプタ33が接続された場合には“1”レベルの検出信号AC-ONがI/Oドライバ58から出力され、ACアダプタ33が接続されてない場合には“0”レベルの検出信号AC-ONがI/Oドライバ58から出力される。

【0036】検出信号AC-ONは、I/Oゲートアレイ12に送られると共に、DC-DCコンバータ64に送られる。DC-DCコンバータ64は、“1”レベルの検出信号AC-ONを受信した時は3.3/5Vの電源線上に5Vの電源電圧を発生し、“0”レベルの検出信号AC-ONを受信した時は3.3/5Vの電源線上に3.3Vの電源電圧を発生する。

【0037】図3には、I/Oゲートアレイ12に設けられているクロック制御回路の構成が示されている。クロック制御回路は、図示のように、ANDゲート121、Dフリップフロップ122、およびカウンタ123から構成されている。クロック発生LSI50から出力されるクロック信号OSCは、ANDゲート121の第1入力に供給されると共に、反転されてDフリップフロップ122のクロック入力(C)およびカウンタ123のクロック入力(CLK)に供給される。

【0038】電源コントローラ31からの検出信号AC-ONは、Dフリップフロップ122のデータ入力(D)およびカウンタ123のカウント開始入力(COUNT)に供給される。

【0039】カウンタ123は、検出信号AC-ONが“1”レベルに立ち上ると、クロック入力(CLK)に入力されるクロック信号OSCのパルスをカウントし初め、カウント値が所定値に達した時にエンド信号(END)によってDフリップフロップ122をリセットする。

【0040】Dフリップフロップ122は、検出信号AC-ONが“1”レベルに立ち上ると、次ぎのクロック信号OSCの立下がりで“1”をラッチし、“1”レベルのマスク信号MASKを発生する。このマスク信号MASKは、CPUクロックCLKの供給を停止させるためのものであり、判定されてANDゲート121の第2入力に供給される。

50 【0041】次に、図4のタイミングチャートを参照し

て、CPUクロックCLKと電源電圧3.3V/5Vの切り替え動作を説明する。ACアダプタ33が接続されていない状態においては、CPU11には3.3Vの電源電圧が供給されており、またCPUクロックCLKの周波数は25MHzである。

【0042】この状態で、ACアダプタ33が接続されると、電源コントローラ31から出力される検出信号AC-ONは“0”から“1”レベルに変化される。これによって、CPU11に供給される電源電圧は3.3Vから5Vに変化し、またクロック発生LSIから発生されるクロック信号OSCは25MHzから33MHzまで徐々に変化される。

【0043】また、検出信号AC-ONの“0”から“1”レベルへの変化に応答して、マスク信号MASKが“1”となり、カウンタ123によって一定時間(1ms～10ms)経過したことが検出されるまでの期間は、CPUクロックCLKの供給が停止される。

【0044】一定時間経過してクロック信号OSCが33MHzに安定されると、マスク信号MASKが“0”となってCPUクロックCLKの供給が再開され、CPU11の動作が再開される。そして、以降は、CPU11は、5Vの電源電圧、33MHzのクロック信号の下で動作する。

【0045】この状態で、ACアダプタ33がコンピュータ本体から外されると、同様にして、CPU11の動作電源電圧が5Vから3.3Vに、クロック周波数が33MHzから25MHzにそれぞれ切り替えられる。

【0046】以上のように、この実施例においては、ポータブルコンピュータがACアダプタ33を介して供給される1次電源によって駆動されているか内蔵バッテリ32からの2次電源によって駆動されているかが、電源コントローラ31によって検出され、その検出結果がDC-DCコンバータ64およびクロック発生LSI50に供給される。DC-DCコンバータ64は、ポータブルコンピュータが1次電源によって駆動されている時は5Vの電源電圧をCPU11に供給し、2次電源によって駆動されている時は3.3Vの電源電圧をCPU11に供給する。クロック発生LSI50は、ポータブルコンピュータが1次電源によって駆動されている時は例え

は33MHzのクロック信号をCPU11に供給し、2次電源によって駆動されている時は25MHzのクロック信号をCPU11に供給する。

【0047】このように、バッテリ駆動時にはCPU11の動作電源電圧およびクロック周波数は、AC電源駆動時よりも低下される。したがって、CPUアイドルの時間に関係なくバッテリ駆動時の電力消費を低減できるようになり、バッテリ使用時間を十分に延ばすことが可能になる。

10 【0048】なお、この実施例では、CPU11のステータスがクロックを停止しても破壊されない場合を例にとって説明したが、クロックを切り替える前にCPU11のレジスタをメインメモリ13にセーブし、クロック切り替え後にメインメモリ13の内容をCPU11にリストアすれば、他の構成のCPUについても同様にして適用することができる。

【0049】

【発明の効果】以上説明したように、この発明によれば、CPUアイドルの時間が比較的短い場合でもバッテリ駆動時の電力消費を低減できるようになり、バーポータブルコンピュータのバッテリ使用時間を十分に延ばすことが可能となる。

【図面の簡単な説明】

【図1】この発明の一実施例に係るポータブルコンピュータのシステム構成を示すブロック図。

【図2】同実施例のポータブルコンピュータに設けられている電源コントローラの具体的構成の一例を示す回路図。

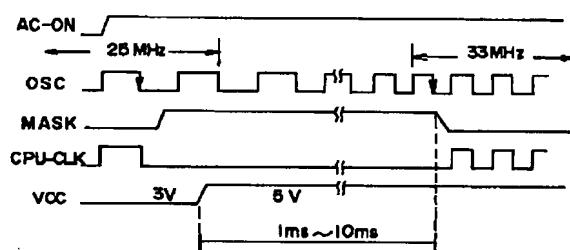
20 30 【図3】同実施例のポータブルコンピュータに設けられているI/Oゲートアレイの一部を抽出して示す回路図。

【図4】同実施例のポータブルコンピュータにおけるCPUのクロック周波数および動作電圧の切り替え動作を説明するタイミングチャート。

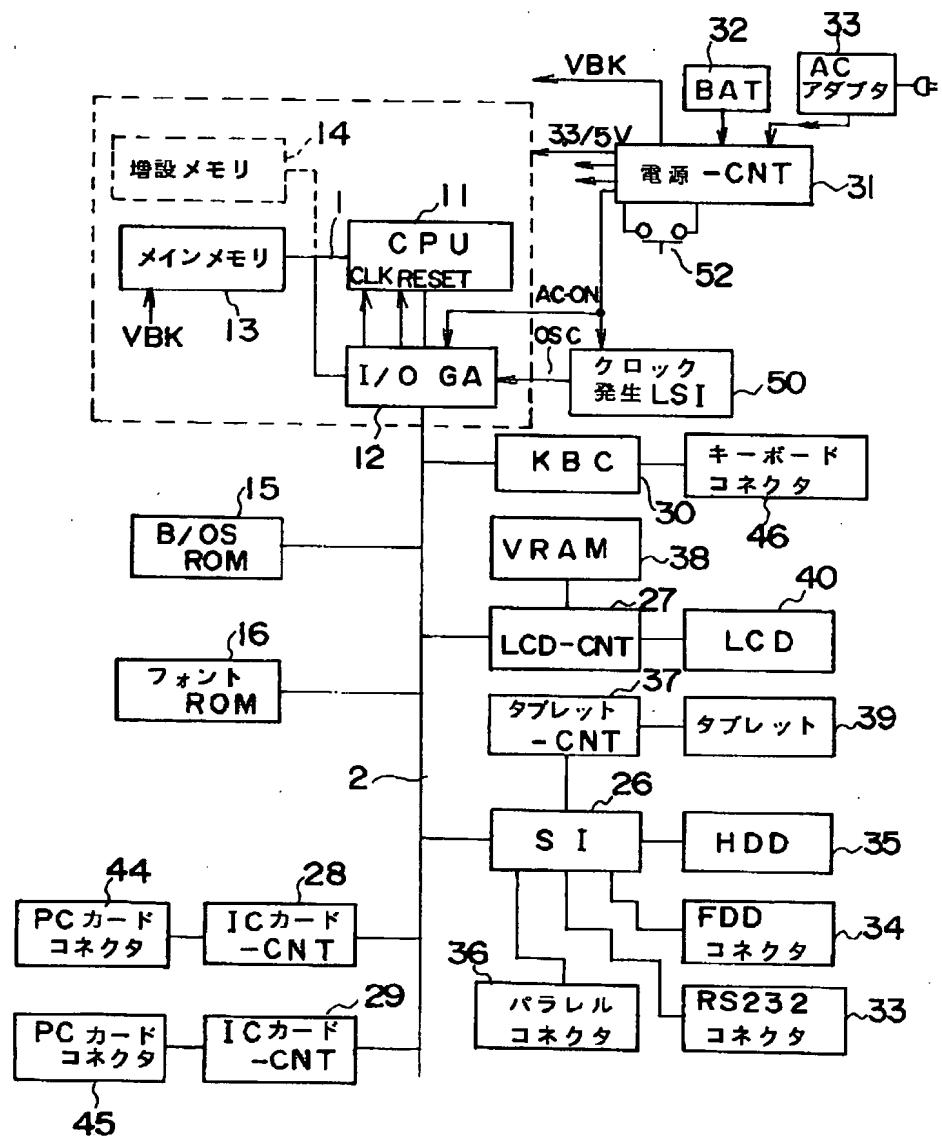
【符号の説明】

11…CPU、12…I/Oゲートアレイ、13…メインメモリ、31…電源コントローラ、32…バッテリ、33…ACアダプタ、50…クロック発生LSI。

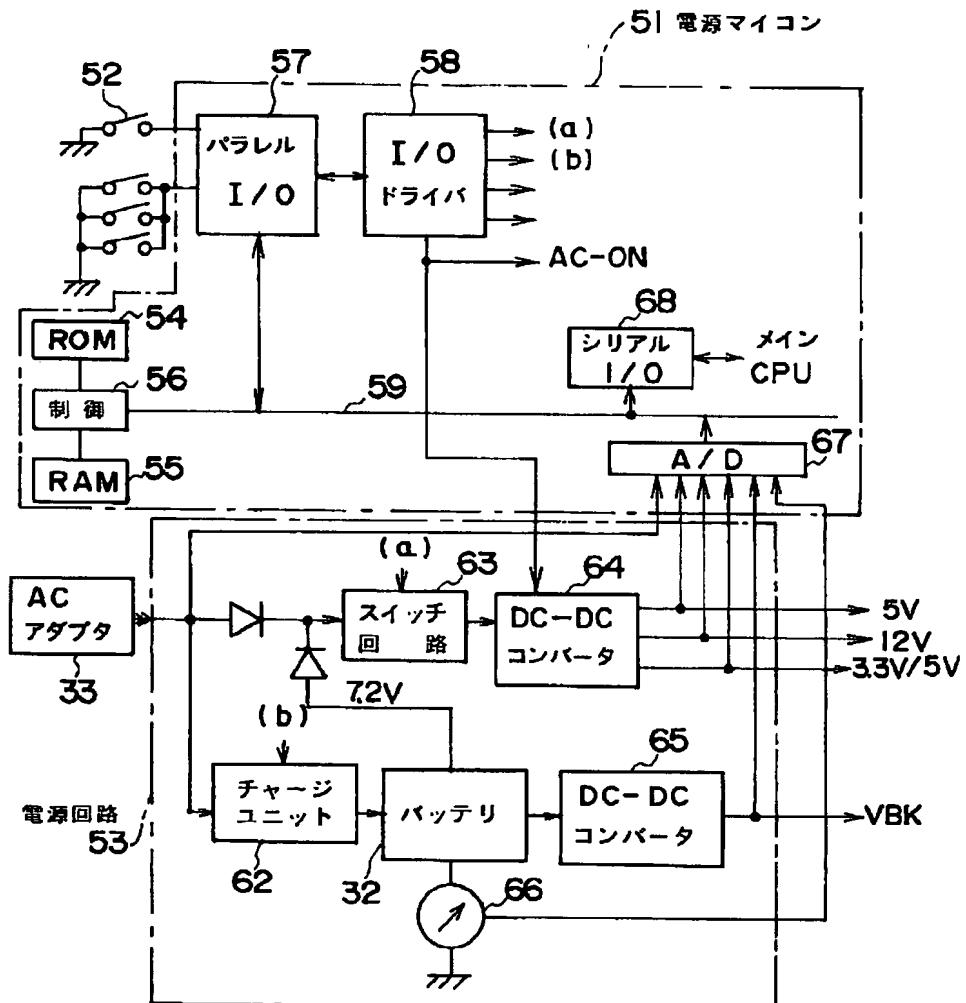
【図4】



【図1】



【図2】



【図3】

